

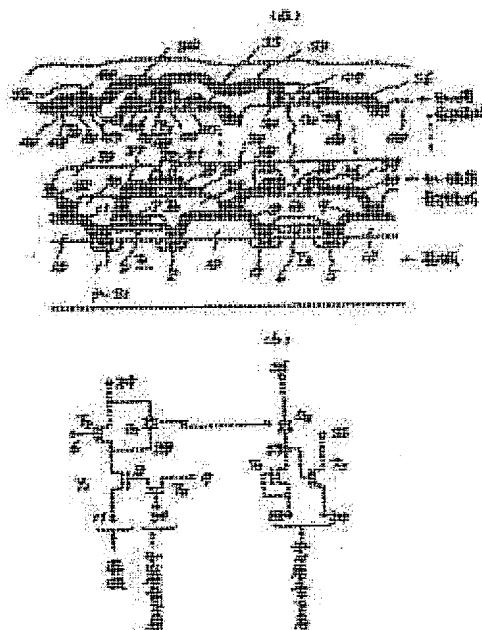
**INTEGRATED CIRCUIT****Publication number:** JP57106157 (A)**Publication date:** 1982-07-01**Inventor(s):** IIZUKA HISAKAZU**Applicant(s):** TOKYO SHIBAURA ELECTRIC CO**Classification:**

- international: H01L27/00; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L27/10; H01L27/12; H01L27/14; H01L27/144; H01L27/15; H01L29/78; H01L29/786; H01L31/12; H01L27/00; H01L21/70; H01L27/04; H01L27/06; H01L27/085; H01L27/10; H01L27/12; H01L27/14; H01L27/144; H01L27/15; H01L29/66; H01L31/12; (IPC1-7): H01L27/06; H01L27/10; H01L27/14; H01L27/15; H01L29/78; H01L31/12

- European: H01L27/06E; H01L27/144B

**Application number:** JP19800182152 19801224**Priority number(s):** JP19800182152 19801224**Abstract of JP 57106157 (A)**

**PURPOSE:**To cover the damage of a three-dimensional integrated circuit produced in a special lot by providing a substituting circuit for reducing the trouble in the integrated circuit and manufacturing the substituting circuit and the integrated circuit in different lots. **CONSTITUTION:**An inverter circuit formed of an N-channel MOS transistor (TR) T1, T2 is formed on a single crystal Si substrate. The TRT1, T2 are isolated via an isolating insulation film 10. The drain 2 of the TRT1 and the source 4 of the TRT2 are electrically connected via a wire (MoSi2)8. Then, the first interlayer isolating film 20 is covered by a reduced pressure CVD method, and an Si crystal film 21 forming an MOS transistor T3 and a GaAlAs crystal film 24 forming a light emitting diode D1 are formed thereon. Thus, the first laminated element region is formed.; Sequentially, said steps are repeated to form the N-th layer. Thus, N-MOST4, P-MOST5, and photodiode D2 are formed. The diode D2 is optically coupled to the diode D1 becoming ON by the operation of an inverter circuit of the substrate with the buried ZnS, thereby diagnosing the substituting function of a certain layer.




---

Data supplied from the *esp@cenet* database — Worldwide

⑬ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-106157

⑪ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)7月1日

H 01 L 27/06  
27/10  
27/14  
27/15  
29/78  
31/12

6426-5F  
6749-5F  
7021-5F  
7739-5F  
7377-5F  
7377-5F

発明の数 1  
審査請求 未請求

(全 8 頁)

⑭ 集積回路

川崎市幸区小向東芝町1東京芝  
浦電気株式会社総合研究所内

⑯ 特 願 昭55-182152

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭55(1980)12月24日

川崎市幸区堀川町72番地

⑲ 発 明 者 飯塚尚和

⑳ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

- 1 発明の名称 集積回路
- 2 特許請求の範囲

半導体薄膜形成、半導体薄膜への集積回路形成を繰り返して、電気的絶縁領域を介して集積回路が積層され、ある層の少くとも一部の機能を代替する回路を異なる層に備えたことを特徴とする集積回路。

- 3 発明の詳細な説明

本発明は超高密度多機能三次元集積回路素子に関する。

超SIデバイス技術において指向している集積回路装置は二次元的な素子の集積であり、この方式において集積密度の向上を図るためには素子の微細化が唯一の手段である。従つて一定寸法の設計基準により集積回路を設計する場合は、その機能が增大すれば必然的にチップ面積が増大する。チップ面積が増大すれば消費電力の増大と信号伝播速度の低下をひき起す結果となる。その故さらに微細化へと進まざるを得なくなる。

しかしながら、二次元的な意味での単なる微細

化は製造技術面での各種の障害に直面するのみならず、素子の動作特性の再現性・安定性における制御性の著しい低下や、素子同志の相互干渉による特性の劣化を避けることができない。さらには集積回路チップ内の信号伝送の層の複雑化に対して十分な対応ができず、データの並列処理等の多機能化集積回路の実現は極めて困難な見通しである。

他方システム側からは、より大きなシステムを一つの集積回路チップに集積することを要求されており、二次元的高密度化のみでは限界があることが明かである。その第一の問題点はシステムの拡張に伴ない、集積回路の入出力部のチップ面積に占める面積が増大し、かつ外部とのデータの送受に時間を要することとなる。第二の問題点は集積回路の応用分野の飛躍的拡大と、光情報処理等の広範囲における実用化につれて、集積回路チップ内で光-電気変換を始めとする各種センサ機能が要求されることとなるが、これに対する対応策がとれない。第三の問題点はシステムオンチップ化

特開昭57-106157(2)

に伴う集積回路の複雑化に対応して冗長回路機能を導入することが必須であるが、二次元集積回路においては超微細化による歩留低下を補償するだけの冗長回路の導入は不可能である。第四の問題点はシステム化された集積回路チップの特性・機能をチップ外から短時間に完全に試験することは極めて困難なことである。第五の問題点は、システムの巨大化に対応して単位時間当りのデータ処理量は膨大となり、必然的に並列処理が導入されなければならない。たとえば一つのメモリ回路ブロックに対して複数の演算ユニットから同時に独立にデータの授受を行うというような機能が必要となる。しかしながら、二次元的アプローチによる集積回路で、かつデータの伝送を全て電気信号で行う集積回路では、並列処理の要求を満足する適切な実現手段は有していない。第六の問題点は単一システムの大型化に対応してチップ面積を増大することは、製造技術上の障害にゆき当るのみならず、コスト・パフォーマンス上著しく不利となる。

以上の問題点に鑑みて、本発明はこれらを解決し、より多機能な信号処理を可能とする大型システムを一つのチップに集積した三次元集積回路に関するものである。

その基本的考え方は、非晶質を主体とする絶縁被膜上に部分的に非晶質または多結晶質を含む、シリコンおよびGaAsを含む単元素半導体および化合物半導体の単結晶薄膜を形成し、さらにはその他の圧電材料や感熱材料からなる薄膜を同時に形成し、これら材料にMOSトランジスタを始めとする能動素子、レーザ・ダイオードや発光ダイオード等の発光素子、受光素子、感熱素子を形成する。これらの素子間を必要に応じて金属又は半導体又はそれらの混合物による配線により電気的に結合し、あるいは光導波路により光学的に結合して目的とする機能を実現する。このようにして実現した能動素子を含む集積回路層に絶縁膜を被着し、可能な限り平均化しさらにその上に前記手順と同様にして各種単結晶半導体薄膜およびセンサ材料を被着して、別の集積回路層を形成する。これを

繰り返すことにより多層の三次元集積回路が構成される。各集積回路層間の接続は必要に応じて金属等の配線による電気的結合又は光導波路による光学的結合によつて行う。またチップ外とのデータの授受は、従来と同じ電気信号による他に、光音・熱等によつても行うことができる。

本発明は、この内、三次元集積回路に於いて、それが多くの機能を含む様になるための総体としての故障を減ずるために代替回路を備えるようにし、しかも代替回路を本回路と異なるロットで製作することにより、あるロットによつて生じた本回路の故障を補なおうとするもので、従つて、ある層の少なくとも一部の機能を代替する回路を異なる層に備えるようにしたものである。

次に本発明の詳細を図面を用いて説明する。第1図(a)に本発明の基本構成例を示す。この例においては、基板としてP型の単結晶シリコンを用いる。基板上には従来の二次元集積回路の製法により能動素子を構成し、必要な配線により素子を電気的に結合し、所望の回路機能を実現する。この

例においては基板上に形成された集積回路素子の一部のみを示してあり、NチャネルMOSトランジスタ $T_1$ および $T_2$ よりなるインバータ回路を構成する。この回路図は第1図(b)の $T_1$ および $T_2$ よりなるインバータに対応する。トランジスタ $T_1$ はソースとなる $N^+$ 領域1およびドレインとなる $N^+$ 領域2と、シリコンゲート3より構成され、トランジスタ $T_2$ はソース $N^+$ 領域4、ドレイン領域5、ゲート領域6より構成され、 $T_1, T_2$ は酸化シリコン膜よりなる分離絶縁膜10により分離されている。 $T_1$ と $T_2$ の電気的接続は $T_1$ のドレイン2と $T_2$ のソース4を配線8によつて行う。配線8の材質は低抵抗材料であることが望ましく、一般的には金属シリサイドが好ましい材料であるが、ここでは高融でも安定な性質を有する $MoSi_2$ を用いている。またトランジスタ $T_1$ のゲート電極は第一層の素子との接続を容易にするため補助配線7を行つておく。配線7の材料にはやはり $MoSi_2$ を用いた。

次にこの基板上の集積回路素子上に層間分離を行うための第一の層間絶縁分離膜20を形成する。

この絶縁膜の形成法は種々あるが、一例として常圧CVD法や減圧CVD法による $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{Al}_2\text{O}_3$ あるいはPBG、又はプラズマCVD法による $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ 、さらにはこれら複数の材料よりなる多層膜が用いられる。この例においては第一積層の能動素子を形成するための半導体薄膜の単結晶化を促進しやすくするために、約 $1.5\mu$ 厚の $\text{SiO}_2$ をプラズマCVDで被着した上に約 $2000\text{\AA}$ の $\text{Si}_3\text{N}_4$ 膜を減圧CVD法により被着している。

層間絶縁分離膜20の表面はできるだけ平坦になつてゐることが望ましいので、最初にスピノシリカ等を塗布してから前記方法によりさらに絶縁膜を重ねて被着することも有効である。

次に本発明の基本的特徴の一つとなる複数種類の半導体結晶膜を形成する。第1図(a)に示した例ではMOSトランジスタ $T_3$ を形成するシリコン結晶膜21と発光ダイオード $D_1$ を形成する $\text{GaAlAs}$ 結晶膜24を形成する。この他にトランジスタ形成用の半導体薄膜として $\text{Ge}$ 、 $\text{GeP}$ 、 $\text{GaAs}$ 等の材料を使用することもできる。さらに発光ダイオードの代

りにレーザ・ダイオードを用いてもよく、発光素子の材料として結晶薄膜材料として $\text{GaAs}$ 、 $\text{GaP}$ 、 $\text{InSb}$ 等を用いることも出来る。これら結晶材料の被着は高真空蒸着や分子線蒸着あるいはスパッタ被着または気相中でのレーザ・ビーム反応による気相化学被着によつても形成出来る。しかしながらこのようにして得られた半導体薄膜はアモルファスか又は非常に結晶粒の細かい多結晶の物質である。従つて実用に耐える特性を得る程度に半導体薄膜の結晶化を行う必要がある。結晶化はレーザビームや電子ビームの如きエネルギー・ビームを照射することにより比較的容易に実現できる。しかしながら結晶化の条件は半導体の材質により大きく異なるため、2種以上の半導体薄膜を同時に単結晶することはかなりの困難を要する。ここでは材質毎に異なる条件で結晶化を行つた。

まづ第2図(a)に示す如く全面にアモルファスシリコン膜 $4000\text{\AA}$ を被着し、トランジスタおよび配線を形成する領域のみシリコン膜を残し、他部分はこれを除去する。このように素子領域ごとに

半導体薄膜を分離した方が結晶化が容易である。次に約 $5\text{mC}/\text{cm}^2$ の電子ビームを照射することにより $8\mu \times 50\mu$ 位の面積までは単結晶化できる。

次にシリコン結晶層を絶縁膜64で覆う。つづいて第2図(b)のようにN型の化合物半導体層65をシリコン窒化膜61上に形成する。これに先だつてシリコン窒化膜と化合物半導体層の間に、化合物半導体の結晶化を促進する $\text{GaN}$ や $\text{As}_2\text{O}_3$ や $\text{As}$ を含む $\text{SiO}_2$ 膜の薄層を挿入してもよい。この化合物半導体層65をプラズマ反応のような低温プロセスで形成した第2のシリコン窒化膜66で覆う。この膜は $\text{SiO}_2$ や $\text{Al}_2\text{O}_3$ やその他の絶縁膜であつてもよい。次にこのウェーハ表面にレーザ・ビームを照射し化合物半導体層65の結晶化を図る。半導体が $\text{GaAlAs}$ の場合ルービ-レーザを用いる場合 $0.8 \sim 1.6\text{J}/\text{cm}^2$ が適当である。つづいて第2のシリコン窒化膜65を一部除去し化合物半導体の所望部分を露出し、不純物を拡散又はイオン注入により添加し、P型領域を形成しP-N接合をつくる。

このようにして得られた複数種類の半導体結晶薄膜を用いて、第1図(a)に示すような第一積層の素子を形成する。トランジスタ $T_3$ はMOSトランジスタを用いており、製造方法は従来のSOSと類似のものであるが、ゲート絶縁膜として熱酸化膜が使用できない場合には減圧CVD法による酸化膜やシリコン窒化膜でも良く、またはショットキゲートによるMESFET(Metal-Semiconductor gate FET)であつても良い。配線層は必要に応じて下層との間にコンタクト孔を形成し接触をとることが出来る。

このような手順を繰り返すことにより、順次多層の素子領域を形成し、第N層まで形成して工程を終了する。本例においてN層には半導体薄膜4145、49によりそれぞれNチャネルMOSトランジスタ $T_4$ 、PチャネルMOSトランジスタ $T_5$ 、およびBi(化合物半導体でも良い)フォートダイオード $D_2$ が形成されている。ダイオード $D_2$ はダイオード $D_1$ の直上に位置するが、これらダイオード間に光の導波路としてたとえば $\text{ZnS}$ を埋設すれば、光

特開昭57-106157(4)

の分散を防止でき極めて効果的である。さらにD<sub>1</sub>とD<sub>2</sub>間をZnSで連結すれば、D<sub>2</sub>が必しもD<sub>1</sub>直上にある必要はなく、素子レイアウトが容易となる。

第1図(b)は第1図(a)により得られた素子の基板および第一層素子層とで得られる回路と第N層により得られる回路の間を光信号により結合していることを示している。端子6および31の状態により端子29と11-12間に印加された電圧V<sub>c</sub>がダイオードD<sub>1</sub>の端子に印加される状態が変化する。V<sub>c</sub>に3Vを印加した場合、端子6がOV、端子31が3Vの場合T<sub>1</sub>はON、T<sub>2</sub>はOFFとなりダイオードD<sub>1</sub>におよそ2.4Vの電圧が印加され、このダイオードが発光する。D<sub>1</sub>より放出された光はD<sub>2</sub>により受光され、D<sub>2</sub>の内部抵抗を減じ、端子56-52間に印加された電圧V<sub>D</sub>のほぼ全電圧がトランジスタT<sub>5</sub>のゲートに印加される。V<sub>D</sub>=3Vとした場合、D<sub>2</sub>が光を受けていないときはノード53の電圧は0.3V以下で15がデプリーション(D)モードトランジスタの場合端子55-54間には電流が流れるが、受光することによりダイオードD<sub>2</sub>の内部インピー

ダンスが低下し、ノード53の電位は約1.5VとなりDモードPチャネルトランジスタT<sub>5</sub>はオフ状態となり端子55-54間には電流が流れなくなる。

光による信号の伝達は同一層内の素子間同志でも行うことができる。これはZnSのような光の導波路となる物質を発光ダイオードの接合面から受光ダイオードの接合面まで配設して行えばよい。

集積回路が大規模になればなるほど、回路内に不良の発生する確率が高くなり、また回路動作の試験が繁雑となる。このために、不良回路ブロックを他の良品回路ブロックにより置き替える欠陥診断法の導入や、自動的に回路機能を試験する自己診断機能の導入が必要となる。三次元集積回路においてはこれらの機能追加が二次元集積回路に比べて容易である。この原理を第3図により詳しく説明する。

第3図には三次元集積回路における第M層目の能動層子層と第N層目の能動素子層とを示している。N層には回路ブロックA、A、B、B、B、

C、D、E、およびFを含んでいる。AとA、BとB、およびBはそれぞれ類似の機能を有するが、いわゆるセミカスタム的に必要機能に応じて選択されるものである。一方M層には回路ブロックC、D、EおよびGを含む。C、D、EはそれぞれN層内の回路ブロックC、D、Eと同一の機能を有するスベア回路ブロックであり、C、D又はE回路ブロックのうち不良のある場合にはその回路ブロックC、D、又はEのうち該当するブロックと置き替えることができる。回路ブロックの交換は、たとえばCブロックに不良がある場合、領域dに配設された発光および受光素子群とCブロック内の領域dに配設された受光および発光素子群との間で信号の授受を行うことにより実現する。交換が不良となつた場合は対応するEやD、Cの回路中のフューズを切れればよい。

さらに第3図に示されている新しい機能は回路ブロックB、B、またはB内で実行するデータ処理に対する必要情報、あるいは処理結果を格納するためのメモリ機能を回路ブロックG内に有する

ことである。回路ブロックB、BまたはBとメモリブロックGとの情報伝達は、前と同様にそれぞれの回路ブロックに含まれるa、b、c、およびa、b、c領域内に配設されている発光および受光素子により行う。これは同一チップ内でしかも短い距離を光で結合するため、非常に高速の情報アクセスが可能となる。

次に第4図によつて先述した自己診断回路の働きを詳しく説明する。三次元集積回路の機能(機能とは働きを持つものを指す)素子層のD層の中に自己診断回路ブロックを有し、このブロックは配線群I、配線群II、…Vにより他の被検査回路ブロックA<sub>1</sub>、B<sub>1</sub>、C<sub>1</sub>、D<sub>1</sub>、およびE<sub>1</sub>に接続されている。自己診断回路ブロックはあらかじめ決められた順序で機能検査を行う。この順序はそれぞれの被検査回路ブロックに対して独立に設定できる。この機能検査の手順を指示するプログラムはROM又はPROMによりあらかじめ自己診断回路ブロックに内蔵することもできるし、外部よりD層の光I/O回路を通して自己診断回路ブロック内のRAMへ後

から装填することもできる。検査結果は一時的にRAMに保持されるが、区切りのよいところで光I/O回路を通じて外部へ伝達される。さらには自己診断データを自己診断回路ブロック内で処理し、修復手順の指示を外部に伝達することも出来る。

光I/O回路は、機能素子層D層と他の機能素子層L層との間の結合が可能で、I/O部分 $a_1, b_1, c_1, d_1, e_1$ と $a_2, b_2, c_2, d_2, e_2$ のそれぞれの発光・受光素子を介して信号の伝達を行い、L層内の回路ブロック $A_2, B_2, C_2$ についても同様の機能検査を行うことができる。

外部との信号のやりとりは、光のみによらず、熱-電気変換や、音-電気変換、あるいは圧力-電気変換を組み合わせることも可能である。

次に、この発明の実施に使用することが出来る態様について番号を振って述べる。

(1) 通常の集積回路形成技術により半導体基板上に形成された集積回路と、この集積回路上に絶縁膜を介して結晶および多結晶を含む半導体薄膜よりなる第二の機能集積回路を形成し、さら

素子および受光素子とを含む。

- (6) 三次元集積回路素子の外部との信号の送受を行うための入出力回路部に従来の電気信号変換の他に、光信号によってもデータの送受が可能な入出力回路部を合せもつ。
- (7) 受光素子や発光素子を設けて電気信号の入出力と光信号の入出力が各々独立に並列動作を行なう。
- (8) 多層機能集積回路の複数層に亘つて光による入出力機能を有する。
- (9) 多層機能集積回路の複数層間の情報の送受を電気信号と光信号の両者により行う。
- (10) 多層機能集積回路よりなる三次元回路素子であつて、信号光-電気変換、熱-電気変換、音-電気変換の少くとも一つの機能を同一チップ内に集積する。
- (11) 多層機能集積回路において、ある一層の少くとも一部の回路の機能を、他の層の一部分の機能により代用できる冗長性をもたせる。
- (12) ある一層内の回路の一部で、正常動作しない

に順次絶縁層および機能集積回路の積層が形成されており、各機能集積回路層間の信号の伝達の手段を有する。

- (2) 半導体薄膜としてSiの他にGeおよびGaAs、<sup>GeAs</sup>GaAs<sub>2</sub>、<sup>As</sup>InP、InSb等の化合物半導体の少くとも一種類Siと同一層又は異なる層に用いる。
- (3) 同一の層の機能集積回路内にNチャネルMOS<sup>2-IF-MES</sup>トランジスタ、PチャネルMOS<sup>2-IF-MES</sup>トランジスタ、PNP型又はNPN型バイポーラトランジスタの少くとも1種類のトランジスタと、レーザダイオード又はフォトルミネッセンスダイオードの電気信号を光信号に変換する機能を有する少くとも一種の発光素子を含む。
- (4) 同一の層の機能集積回路内にNチャネルまたはPチャネルMOS<sup>2-IF-MES</sup>トランジスタ、あるいはPNP型又はNPN型バイポーラトランジスタの少くとも1種類の能動素子と光信号を電気信号に変換する機能を有する受光素子とを含む。
- (5) 同一の層の機能集積回路内に能動素子、信号の電気-光変換および光-電気変換を行う発光

素子又は回路部分を同一層内の他の部分から切り離し、他の層内の同じ機能を有する素子又は回路部分へ電気的又は光学的に結合する。

- (13) 多層機能集積回路の少くとも一層内に、回路動作を点検する機能を有し、かつこれにより同一層内又は複数層内の回路の正常動作の点検を行い、不良箇所を記憶する機能を有する。
- (14) 記憶機能を有する集積回路部分においてメモリアレイ部と他のアドレス回路、デコード回路、信号検出回路、増幅回路等を異なる機能回路層内に形成する。
- (15) メモリアレイ部を形成した機能回路層に隣接する二つの層内にアドレス機能、デコード機能、信号検出機能、信号増幅機能、演算機能のうち少くとも一つの機能を有する回路を2つ又はそれ以上有し、同一メモリを二つの独立のアドレス入力に対して同時に動作<sup>(15)</sup>する。
- (16) メモリの二重アクセス方式において、一方は電気信号により記憶の書き込み又は読み出しを行い、他方は光学的信号により書き込み又は読

特開昭57-106157(6)

み出を行う。

07 多層機能集積回路の少くとも一層以上の、層内にその同一層内の不良部分を置き替えるに必要な回路要素を全部又は一部をその層内に具備する。

08 多層機能集積回路内の不良素子又は回路の一部又は全部を他の素子又は回路から切り離す手段および、予備の素子又は回路の一部又は全部を必要素子又は回路部分に接続する手段を同一チップ内に具備する。

09 多層機能集積回路内の不良部分の切り離しおよび予備部分の接続を、同一チップ内の自己診断機能回路内に記憶した情報をもとにチップ外から制御信号あるいは、チップ内で発生する制御信号のうち少くとも一つを用いて行う。

10 多層機能集積回路を動作させるに必要な電源のうち一部又は全部をチップ外から照射された光により光電変換し電圧および電流を発生することにより供給するための素子又は回路を具備する。

20 多層機能集積回路チップ内に光電変換により発生した電圧を一定時間又は長時間継続して蓄える機能を具備する。

21 多層機能集積回路チップ内に冷却機能を有する素子又は回路を内蔵する。

22 基板としてシリコン又はSOSあるいはその類似構造を有する材料を用いる。

4. 図面の簡単な説明

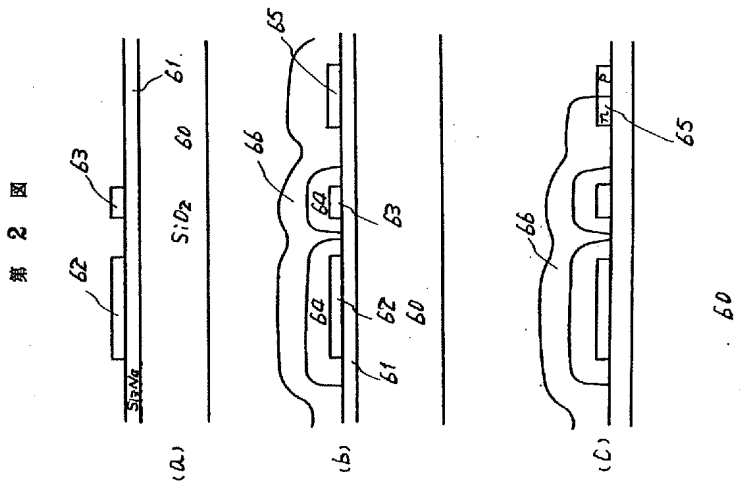
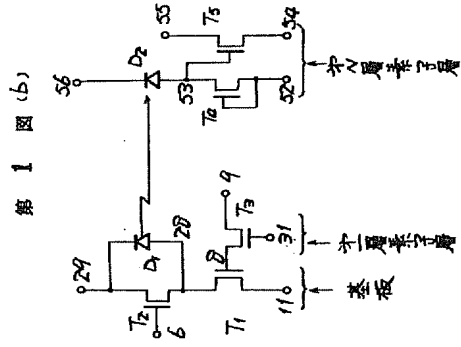
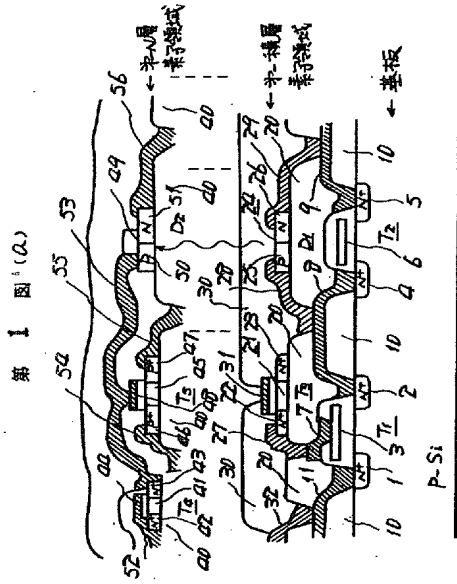
第1図(a)、(b)は本発明を説明する夫々断面図、等価回路図、第2図(a)~(c)は第1図の製法例を示す工程の断面図、第3図はN層とM層の関係を示す図、第4図はL層とD層の関係を示す図である。図に於いて、

- 1, 4, 22, 42, 46...ソース領域, 2, 5, 23, 43, 47...ドレイン領域, 3, 6...シリコンゲート,
- 31, 44, 48...ゲート領域, 7, 8, 9, 32, 27, 28, 26, 52, 54, 55, 56, 53...配線,
- 10...分離絶縁膜, 20, 30, 40...絶縁分離膜電気的絶縁領域, 21, 41, 45, 49...シリコン絶晶膜,
- 25, 50...P領域, 26, 51...n領域,

24...GaAs結晶膜。

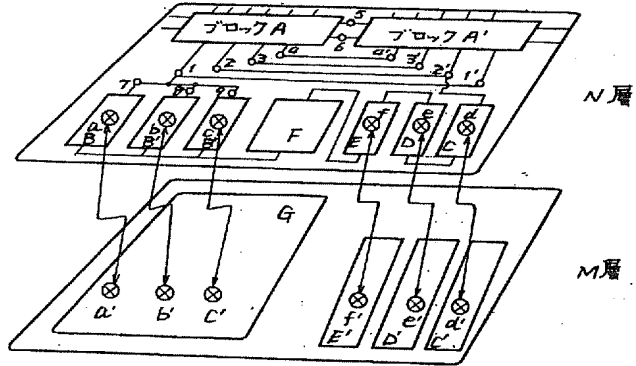
49...

代理人 弁理士 則 近 憲 佑 (ほか1名)





第 3 圖



第 4 圖

